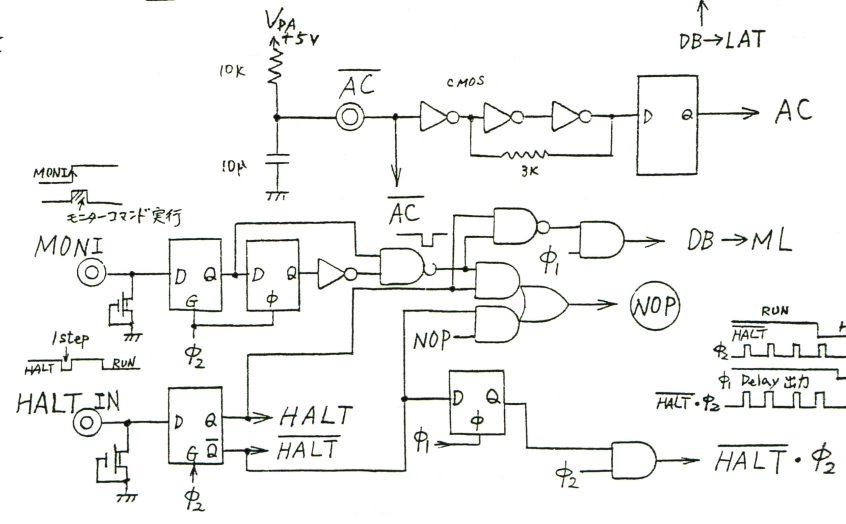
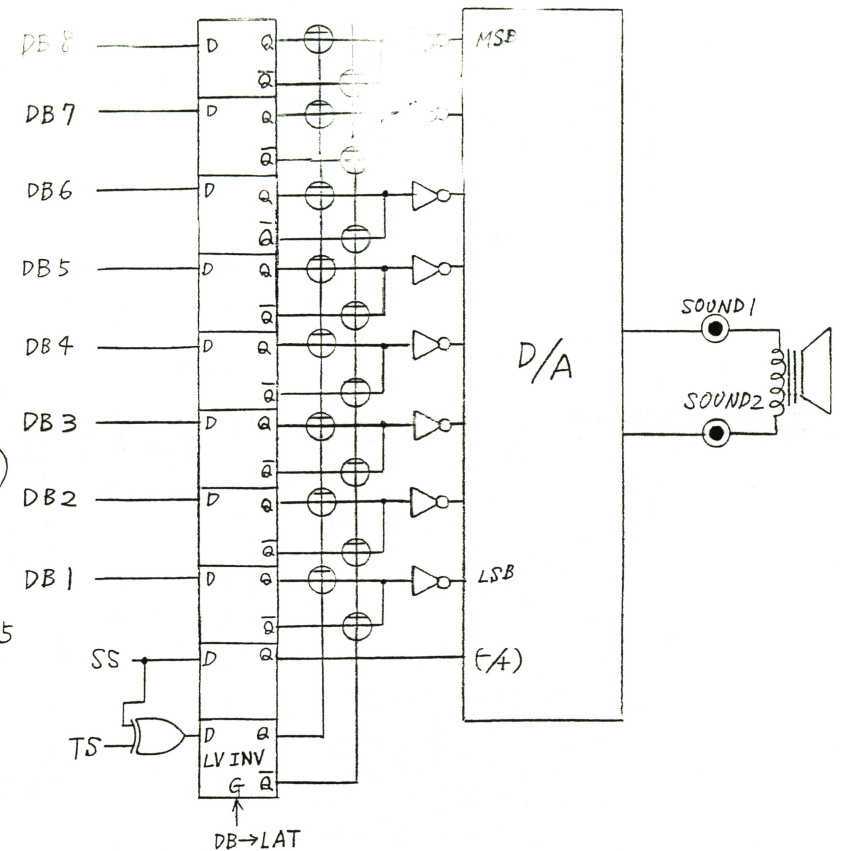
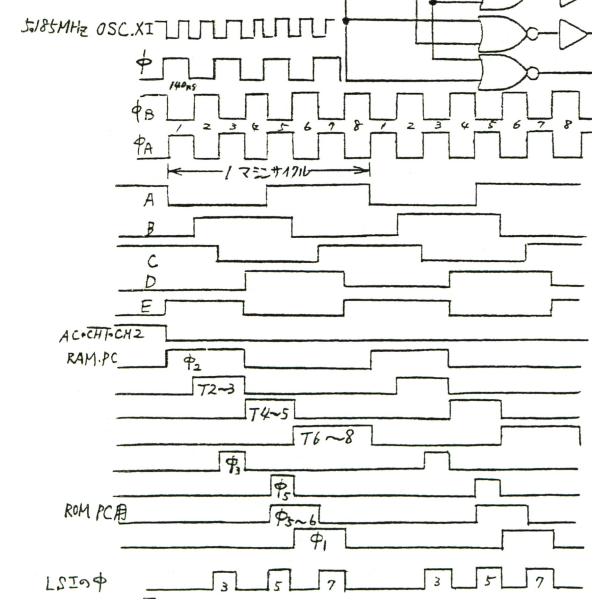
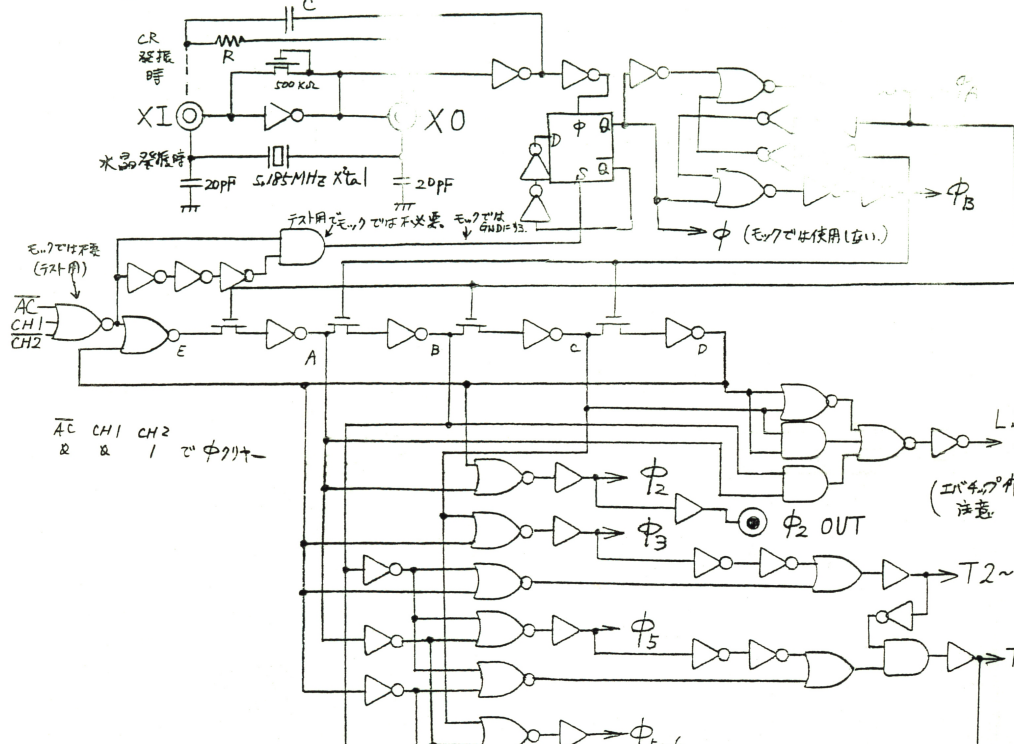
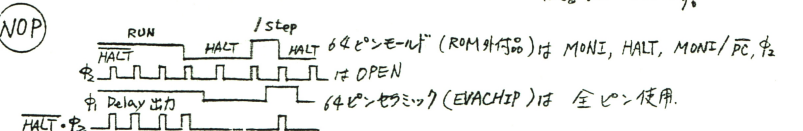


# CLOCK, D CONVERTER



(注) 外部で PW C による LSI の  $V_{DD}$  を ON  $\leftrightarrow$  OFF するには AC のプルアップ抵抗を  $V_{DAIC}$  に接続しておく。

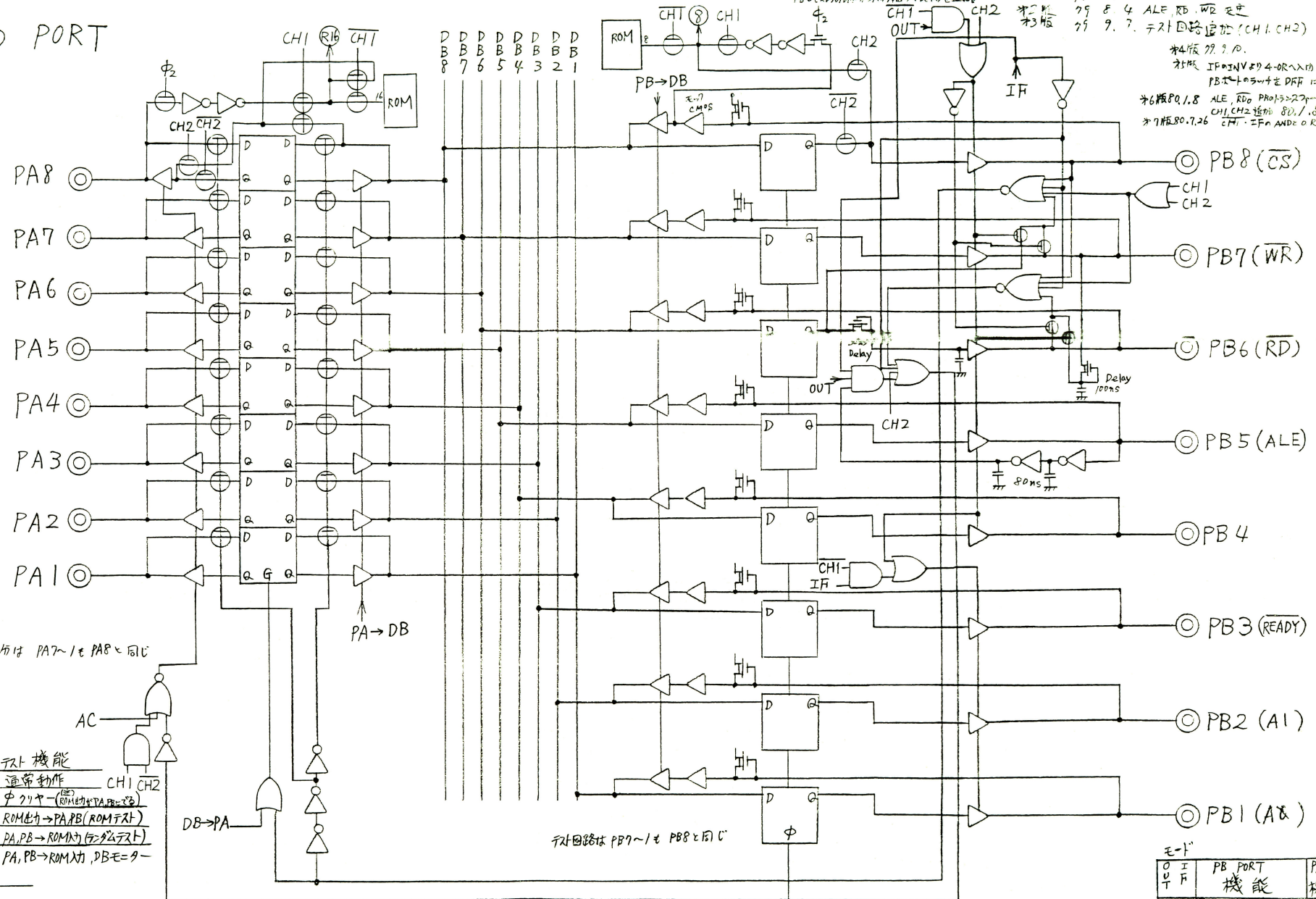


$$\text{マシナリル } f_{\phi_2} = \frac{f_{osc}}{8}$$

# I/O PORT

※5版 5/2/18 ALEのANDはOUTと連動。  
 DB(WE)の立ち上がり遅延はDelayで入力。  
 PB4のDRFはPB6(RED)のDRFより遅延で入力。  
 PB6(RED)のDRFはCH1, CH2の遅延で入力。

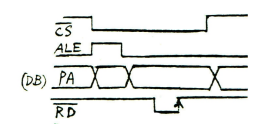
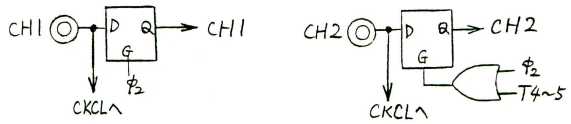
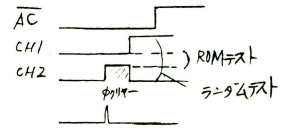
77 2.30  
 79 8.4 ALE, RD, WR 共通  
 79 9.7. 待ち回路追加 (CH1, CH2)  
 ※4版 7/9.10.  
 社販 IF + INV + PD 4-OR 入力用。  
 PB1-1.05 + 4.5 DRF 1.0.  
 ※6版 8/1.8 ALE, RD, WR 共通  
 CH1, CH2 遅延 80/1.0  
 ※7版 8/1.26 CH1 = F0 AND 0 R 遅延



待ち回路部分は PA7-1 と PA8 と同じ

待ち回路は PB7-1 と PB8 と同じ

AC	CH1	CH2	待ち機能
X	0	0	通常動作
0	0	1	待ち機能 (ROM 出力 PA, PB)
1	0	1	ROM 出力 → PA, PB (ROM 待ち)
X	1	0	PA, PB → ROM 出力 (待ち機能)
X	1	1	PA, PB → ROM 出力, DB モーター

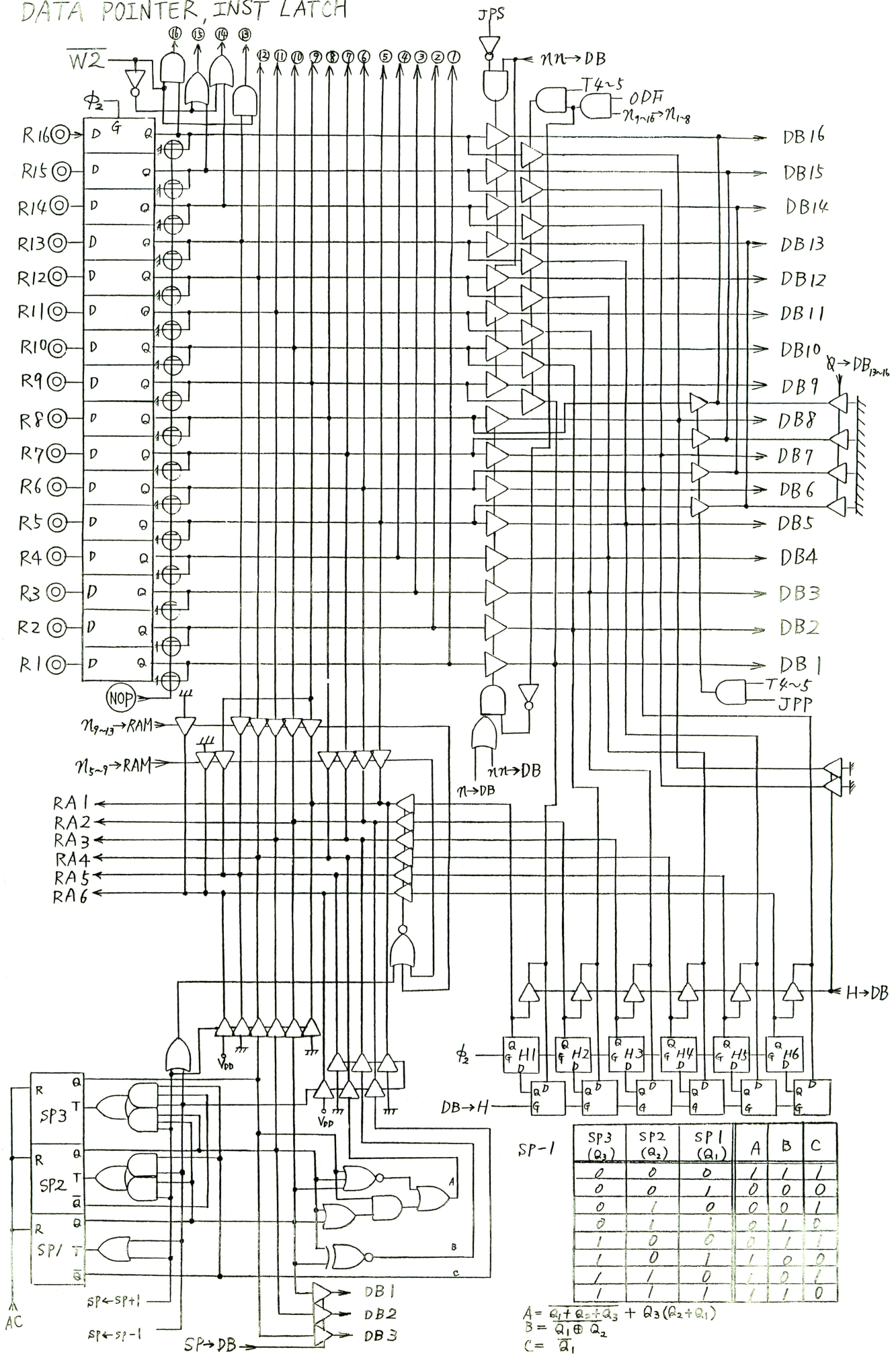


AC 時 →

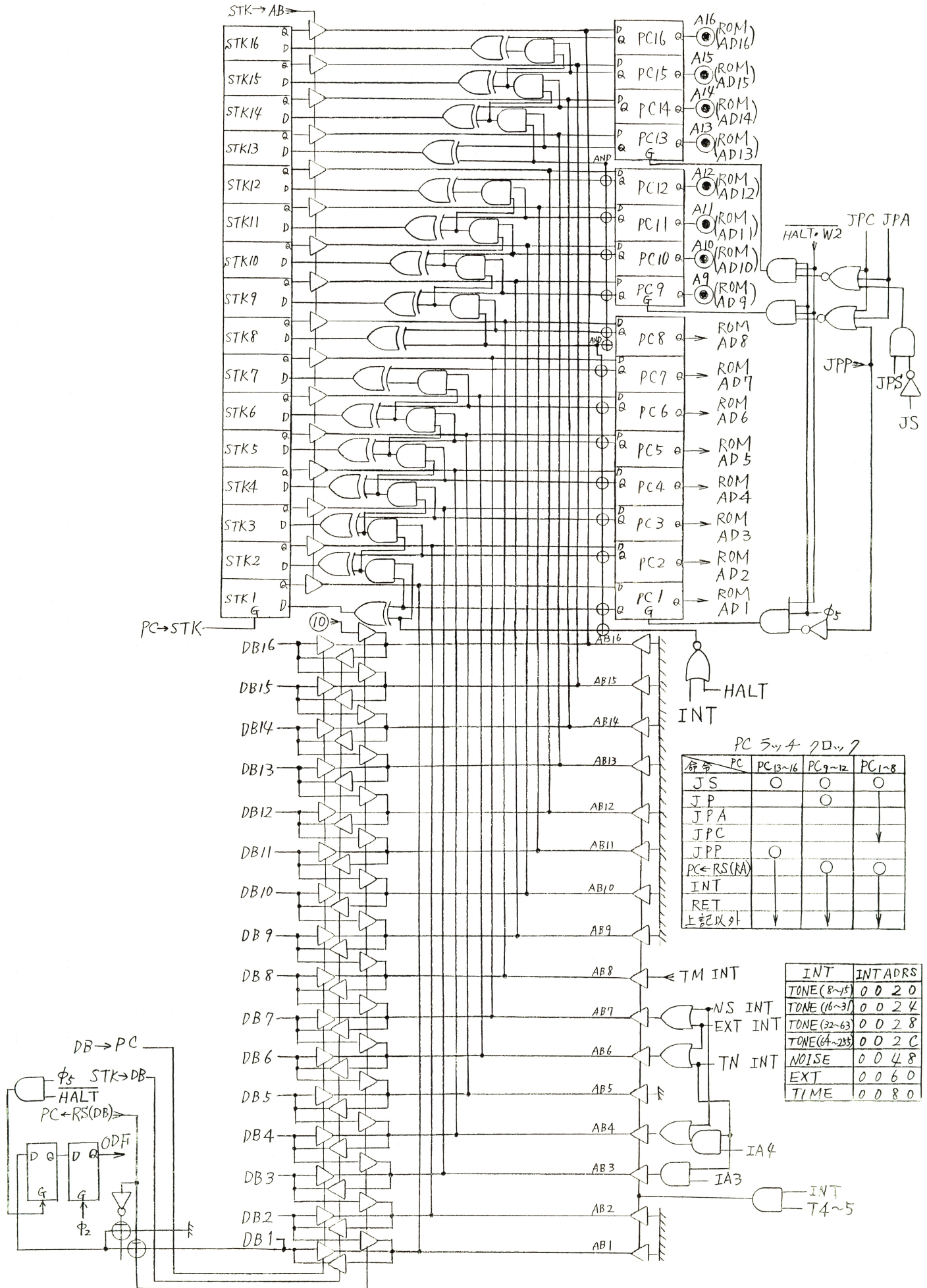
モード	IF	PB PORT 機能	PA 機能
0	0	PB IN	OUT
0	1	CPU → SS cont (PB1-2 IN, PB1-3 OUT)	DB
1	0	PB OUT	OUT
1	1	SS → RAM cont	PB



# DATA POINTER, INST LATCH



# PROGRAM COUNTER, INT ADR, STK



PC 5ビット 7D...7

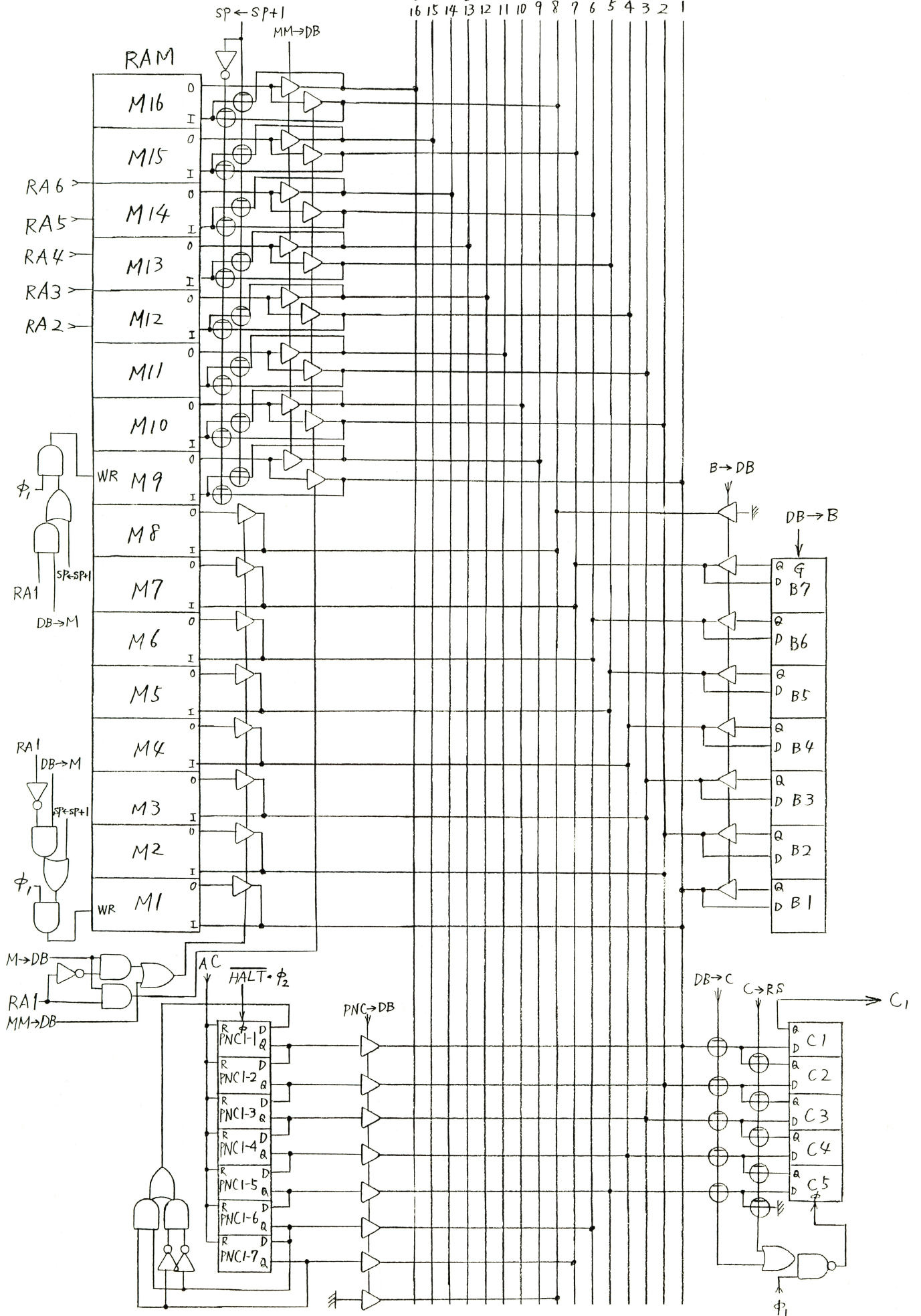
命令	PC	PC13~16	PC9~12	PC1~8
JS		○	○	○
JP			○	
JPA				
JPC				↓
JPP		○		
PC ← RS(RA)			○	○
INT		↓	↓	↓
RET		↓	↓	↓
上記以外		↓	↓	↓

INT	INT ADRS
TONE (8~15)	0 0 2 0
TONE (16~31)	0 0 2 4
TONE (32~63)	0 0 2 8
TONE (64~255)	0 0 2 C
NOISE	0 0 4 8
EXT	0 0 6 0
TIME	0 0 8 0

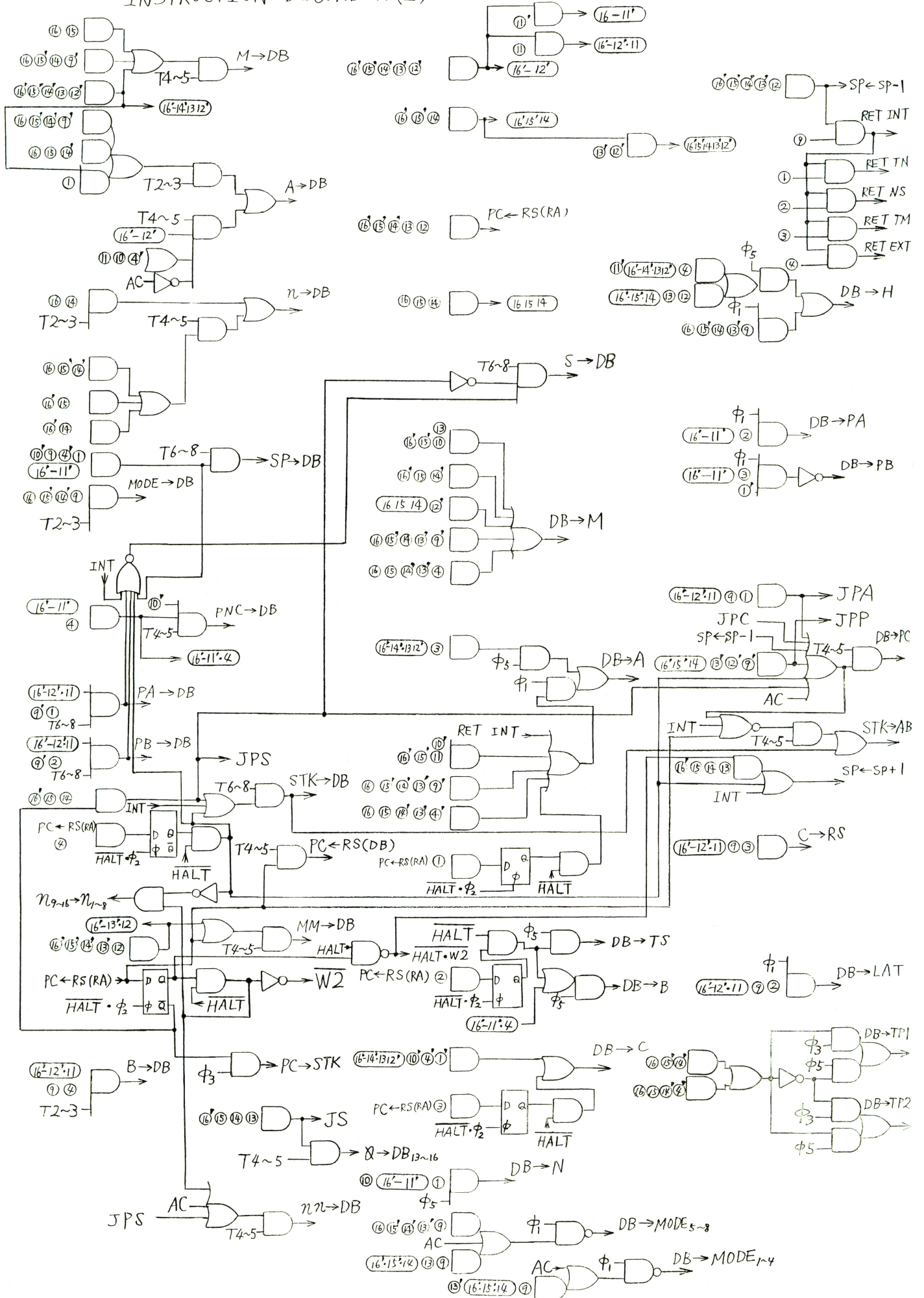


RAM, B, C, PNC1,

D D D D D D D D D D D D D D  
 B B B B B B B B B B B B B B  
 16 15 14 13 12 11 10 9 8 7 6 5 4 3 2 1

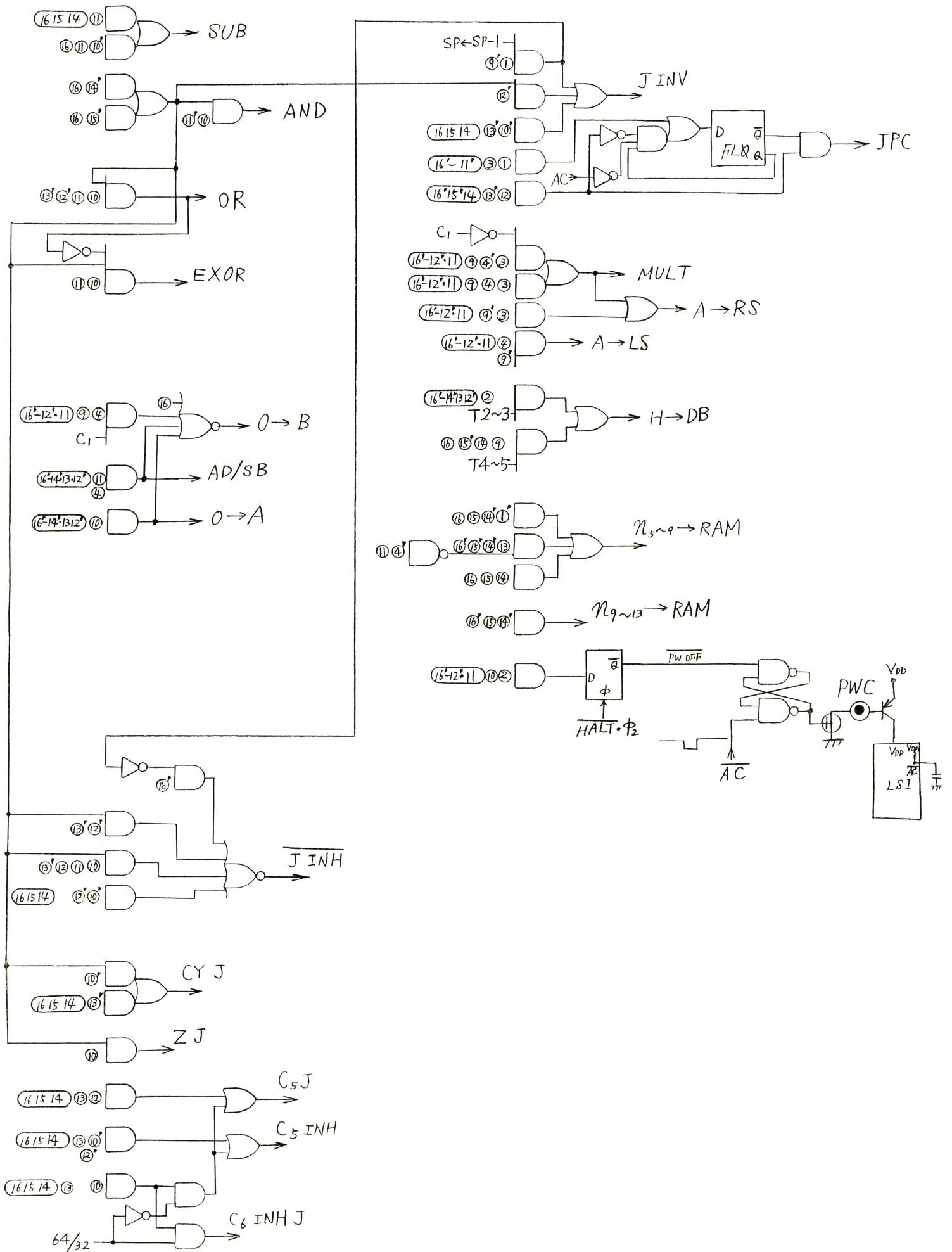


# INSTRUCTION DECORDER (I)

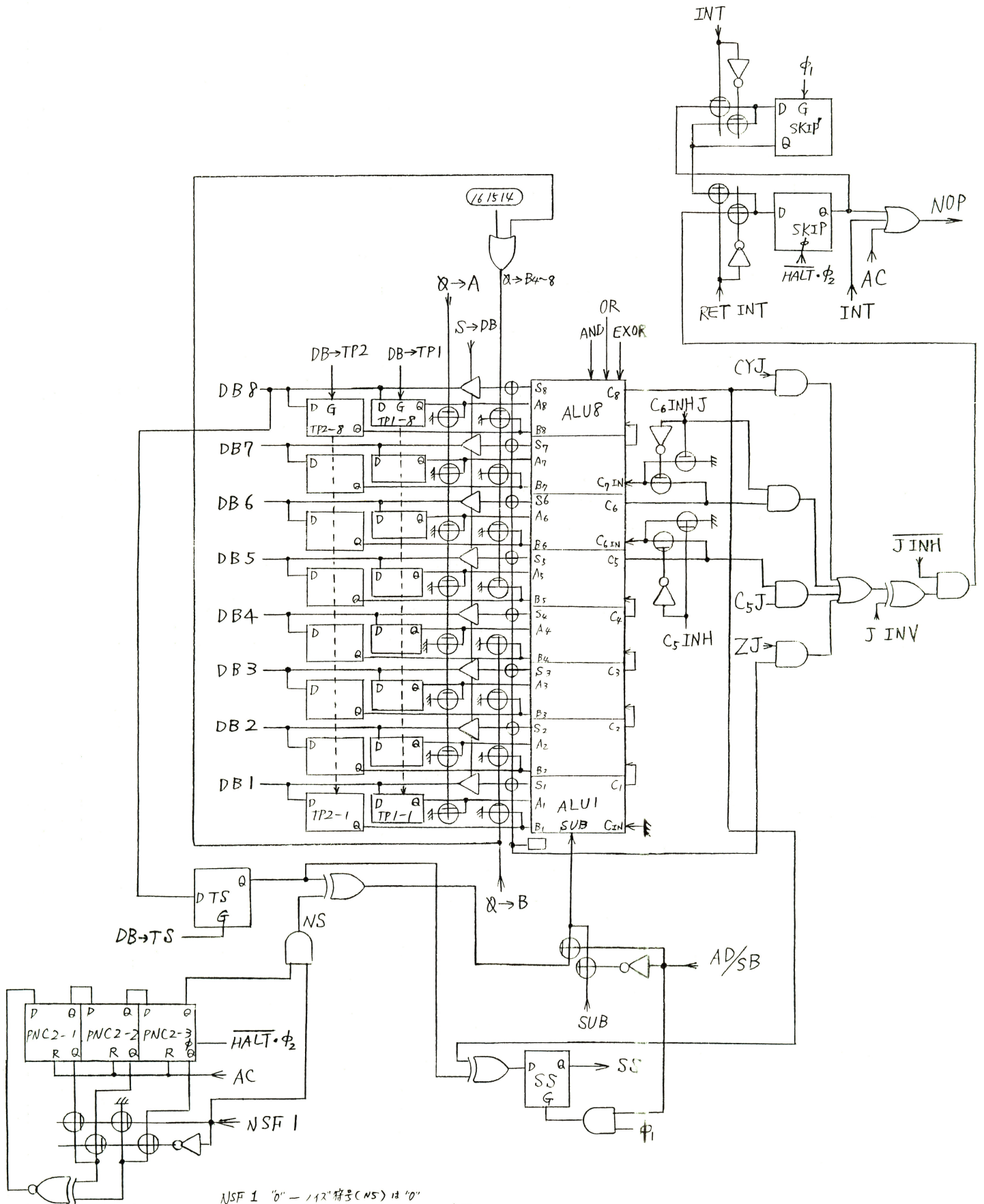




# INSTRUCTION DECORDER (II)



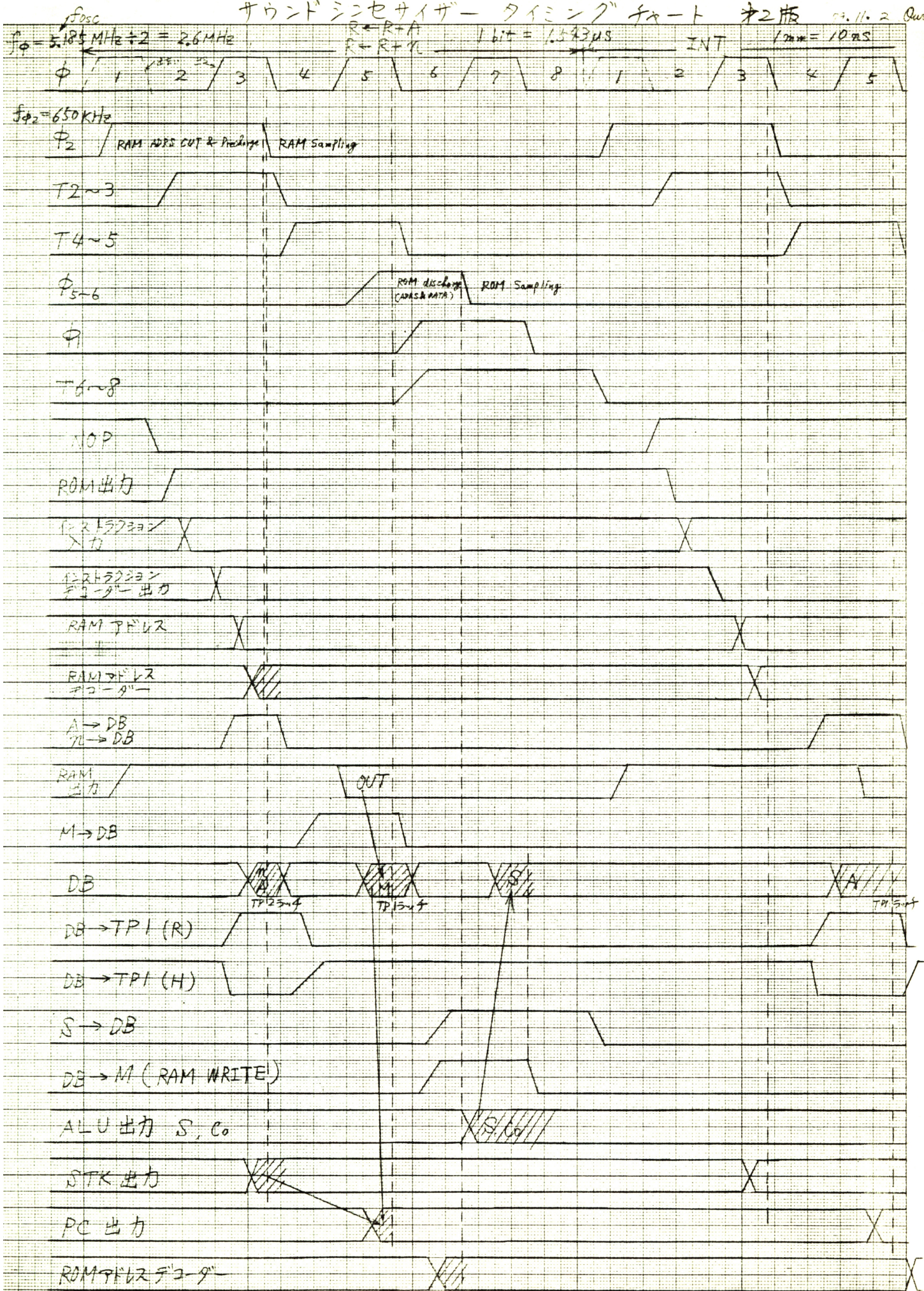
# ALU, PNC2, JUDGE, SOUND SIGN



NSF 1 "0" - 12"符号(NS)は"0"  
 "1" - 12"符号(NS)は Binary 7" 0"1"...



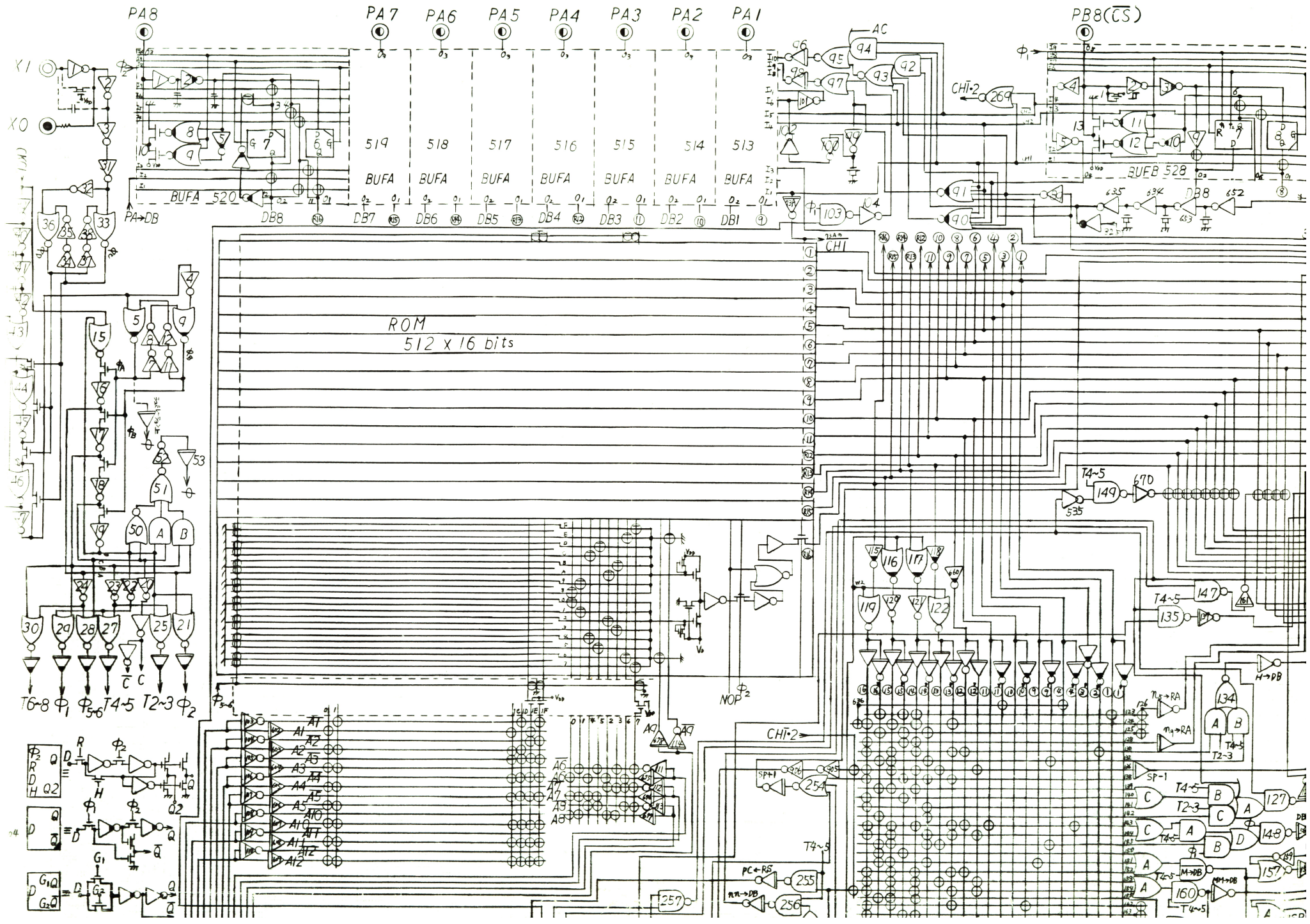
サウンドシンセサイザー タイミング チャート 第2版 99.11.2 Quercus



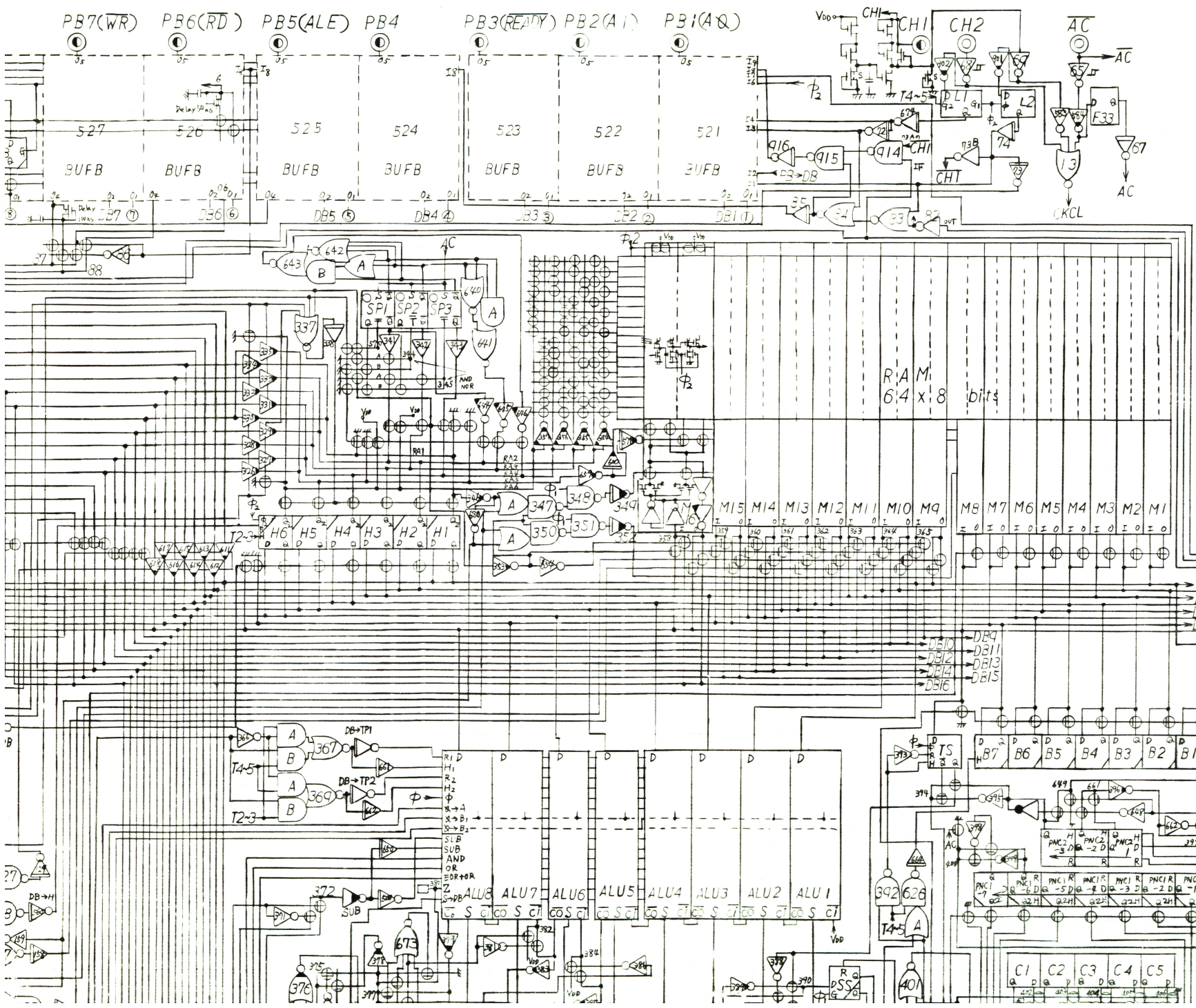












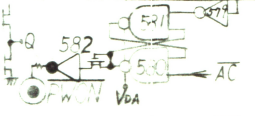
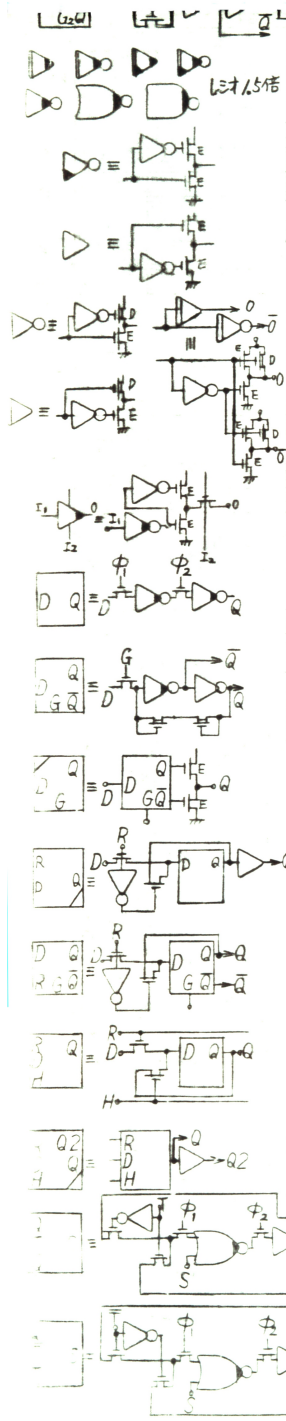
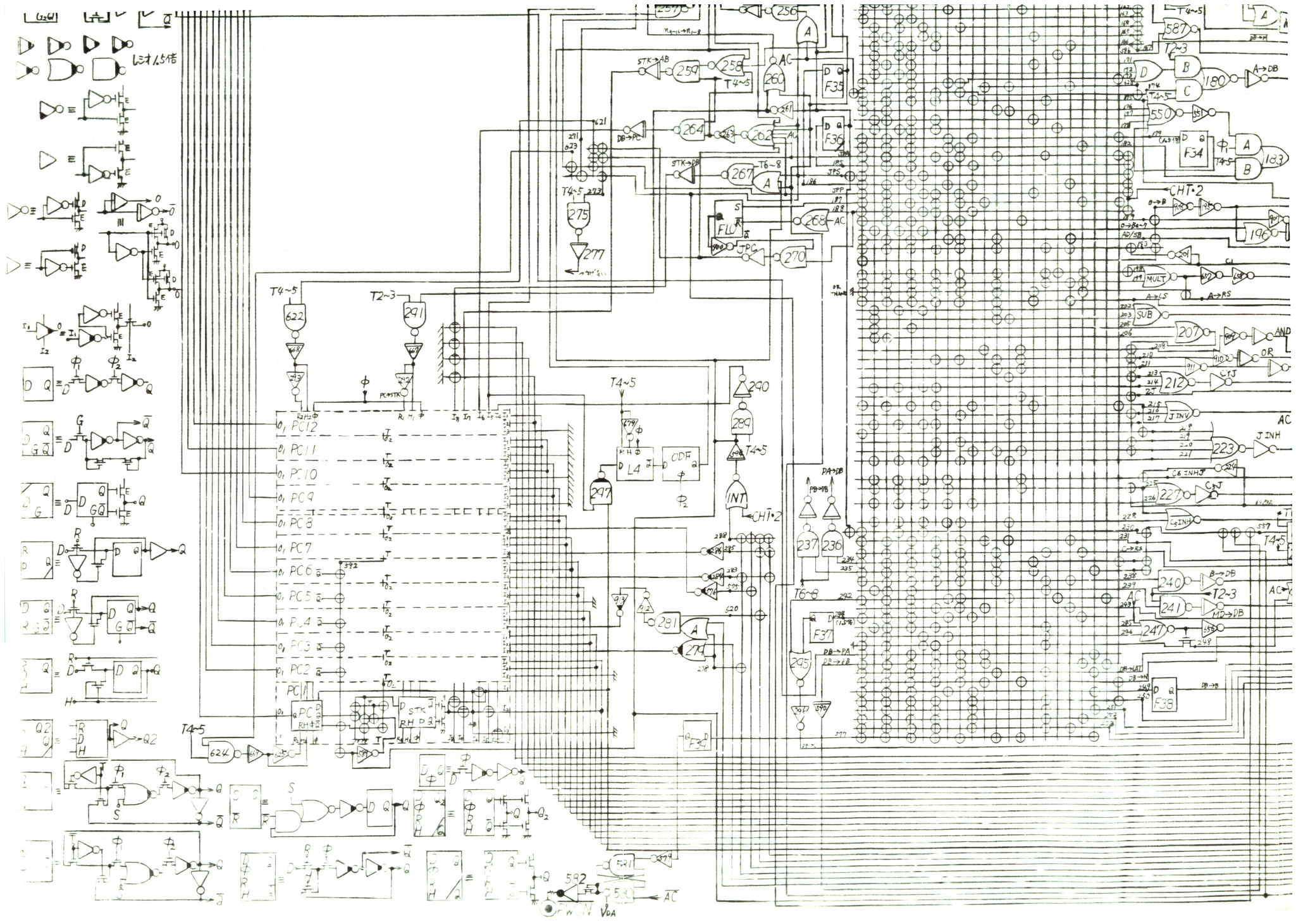
品名	UPDI771C-XXX		
図番			
設計方式	NF (N S I E / D)		
作成月日	'79-9-7		
作成課			
承認	直間	伊	作成
			大洋
版	内容	年月日	
2	ALU電圧色	54.10.27	
3	メモリバンクの修正	54.10.27	
4	NSH修正	54.11.10	
5	LATCHORHの修正	54.11.24	
6	72V電源の修正	54.12.4	
7	メモリバンクの修正	54.12.24	
8	メモリバンクの修正	55.1.10	
9	メモリバンクの修正	55.1.10	
10	メモリバンクの修正	55.1.27	
11	700V電源の修正	55.2.10	
12	メモリバンクの修正	55.2.16	
13	RAMの修正	55.2.16	
14	メモリバンクの修正	55.2.16	
15	メモリバンクの修正	55.7.15	
16	メモリバンクの修正	55.7.15	

182m0.65 PB6の  
 17mのDIFFのD-Tree  
 Delayは6nsのD-Tree  
 Delayは7nsのD-Tree  
 Delayは8nsのD-Tree  
 Delayは9nsのD-Tree  
 Delayは10nsのD-Tree  
 Delayは11nsのD-Tree  
 Delayは12nsのD-Tree  
 Delayは13nsのD-Tree  
 Delayは14nsのD-Tree  
 Delayは15nsのD-Tree  
 Delayは16nsのD-Tree  
 Delayは17nsのD-Tree  
 Delayは18nsのD-Tree  
 Delayは19nsのD-Tree  
 Delayは20nsのD-Tree  
 Delayは21nsのD-Tree  
 Delayは22nsのD-Tree  
 Delayは23nsのD-Tree  
 Delayは24nsのD-Tree  
 Delayは25nsのD-Tree  
 Delayは26nsのD-Tree  
 Delayは27nsのD-Tree  
 Delayは28nsのD-Tree  
 Delayは29nsのD-Tree  
 Delayは30nsのD-Tree  
 Delayは31nsのD-Tree  
 Delayは32nsのD-Tree  
 Delayは33nsのD-Tree  
 Delayは34nsのD-Tree  
 Delayは35nsのD-Tree  
 Delayは36nsのD-Tree  
 Delayは37nsのD-Tree  
 Delayは38nsのD-Tree  
 Delayは39nsのD-Tree  
 Delayは40nsのD-Tree  
 Delayは41nsのD-Tree  
 Delayは42nsのD-Tree  
 Delayは43nsのD-Tree  
 Delayは44nsのD-Tree  
 Delayは45nsのD-Tree  
 Delayは46nsのD-Tree  
 Delayは47nsのD-Tree  
 Delayは48nsのD-Tree  
 Delayは49nsのD-Tree  
 Delayは50nsのD-Tree  
 Delayは51nsのD-Tree  
 Delayは52nsのD-Tree  
 Delayは53nsのD-Tree  
 Delayは54nsのD-Tree  
 Delayは55nsのD-Tree  
 Delayは56nsのD-Tree  
 Delayは57nsのD-Tree  
 Delayは58nsのD-Tree  
 Delayは59nsのD-Tree  
 Delayは60nsのD-Tree  
 Delayは61nsのD-Tree  
 Delayは62nsのD-Tree  
 Delayは63nsのD-Tree  
 Delayは64nsのD-Tree  
 Delayは65nsのD-Tree  
 Delayは66nsのD-Tree  
 Delayは67nsのD-Tree  
 Delayは68nsのD-Tree  
 Delayは69nsのD-Tree  
 Delayは70nsのD-Tree  
 Delayは71nsのD-Tree  
 Delayは72nsのD-Tree  
 Delayは73nsのD-Tree  
 Delayは74nsのD-Tree  
 Delayは75nsのD-Tree  
 Delayは76nsのD-Tree  
 Delayは77nsのD-Tree  
 Delayは78nsのD-Tree  
 Delayは79nsのD-Tree  
 Delayは80nsのD-Tree  
 Delayは81nsのD-Tree  
 Delayは82nsのD-Tree  
 Delayは83nsのD-Tree  
 Delayは84nsのD-Tree  
 Delayは85nsのD-Tree  
 Delayは86nsのD-Tree  
 Delayは87nsのD-Tree  
 Delayは88nsのD-Tree  
 Delayは89nsのD-Tree  
 Delayは90nsのD-Tree  
 Delayは91nsのD-Tree  
 Delayは92nsのD-Tree  
 Delayは93nsのD-Tree  
 Delayは94nsのD-Tree  
 Delayは95nsのD-Tree  
 Delayは96nsのD-Tree  
 Delayは97nsのD-Tree  
 Delayは98nsのD-Tree  
 Delayは99nsのD-Tree  
 Delayは100nsのD-Tree

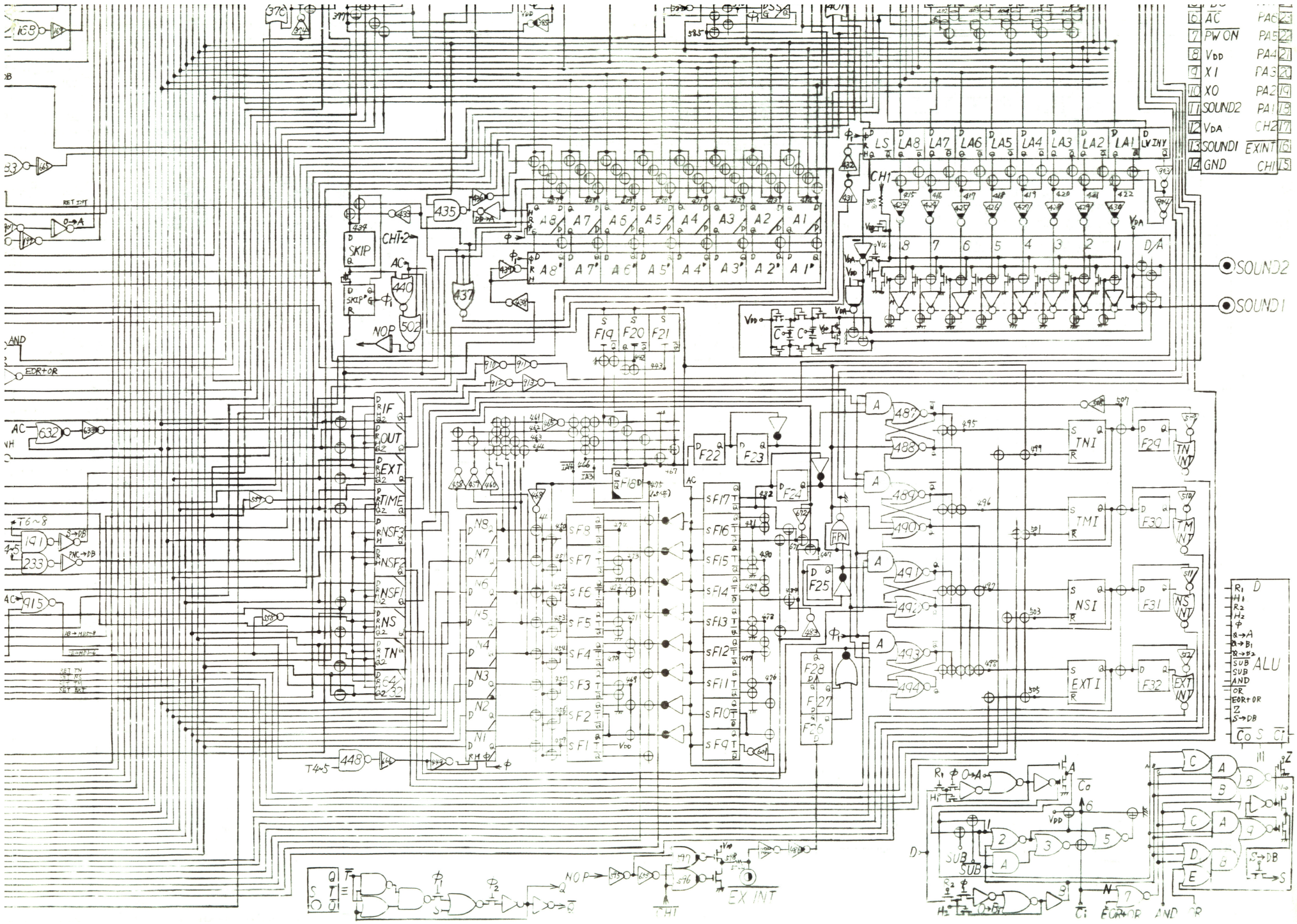
(TOP VIEW)

1	PB4	PB3
2	PB5	PB2
3	PB6	PB1
4	PB7	PA8
5	PB8	PA7
6	AC	PA6









6	AC	PA6
7	PWON	PA5
8	Vdd	PA4
9	XI	PA3
10	X0	PA2
11	SOUND2	PA1
12	Vda	CH2
13	SOUND1	EXINT
14	GND	CHI

● SOUND2

● SOUND1

R1	D
R2	H2
R3	P
R4	A
R5	B1
R6	B2
R7	OR
R8	EOR+OR
R9	Z
R10	S→DB
R11	Co
R12	Si

ALU

SUB

AND

OR

EOR+OR

Z

S→DB

Co

Si

AND

OR

## Page layout of $\mu$ PD1771 logic schematics

Page 1	Page 2
Page 3	Page 4

On PDF Viewer,

(1) Maximize window

(2) View – Page Display – Two Page Scrolling